

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-29302

(43) 公開日 平成6年(1994)2月4日

(51) Int. Cl. ⁵

H01L 21/331

29/73

識別記号

F I

7377-4M

H01L 29/72

審査請求 有 請求項の数9 (全8頁)

(21) 出願番号 特願平3-253022

(22) 出願日 平成3年(1991)9月4日

(31) 優先権主張番号 1 3 9 3 5

(32) 優先日 1990年9月4日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘3洞416

(72) 発明者 金奎哲

大韓民国ソウル特別市恩平区佛光2洞324

-3番地6/2

(72) 発明者 尹鐘密

大韓民国ソウル特別市瑞草区盤浦2洞新盤

浦アパート9-403号

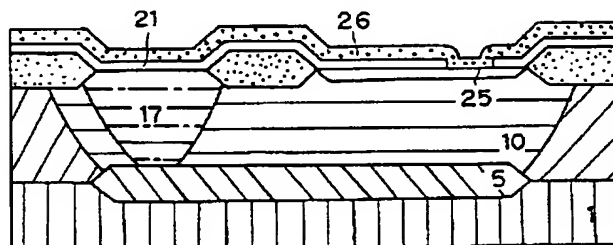
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 ポリシリコンエミッタバイポーラトランジスタの製造方法

(57) 【要約】 (修正有)

【構成】 ベースエリア上の所定の酸化膜を反応性イオンエッチング法によりエッチングしてエミッタエリア接触のための接触窓を通じて露出された単結晶Si基板をプラズマエッチング法によりエッチングする。ウェハにポリシリコンをチューブ内にて被着する際、チューブ温度を、チューブ内にウェハが入り込むときは300℃～450℃に保持し、ウェハが完全に入り込んだ後に正常的なポリシリコン形成温度に上昇させて、ウェハ全面にポリシリコンを被着する。

【効果】 エミッタ形成のために単結晶シリコン基板上の酸化膜をエッチングするとき基板に生ずる損傷を回復してエミッタ抵抗値を低く抑える。単結晶シリコン膜を形成するとき酸化膜の再成長を抑制してエミッタ抵抗値を低く抑えると共に、工程時間を短縮して量産性を向上できる。



- 1... 単結晶シリコン基板
- 5... 埋設層
- 10... コレクタエリア
- 17... N⁺拡散層
- 21... 酸化膜
- 25... 損傷を回復させた部分
- 26... ポリシリコン膜

1

【特許請求の範囲】

【請求項1】シリコン基板上に埋没層とN型エピタキシャル層とを形成する工程と、
エピタキシャル層上にN型不純物をイオン注入してバイポーラトランジスタが形成されコレクタエリアとなるN型ウェルを形成する工程と、
酸化によりフィールド酸化膜を形成する工程と、
コレクタエリア内にN+拡散層を形成する工程と、
P型不純物をイオン注入してベースエリア形成用のイオン注入エリアを形成する工程と、
酸化膜21を形成する工程と、
前記酸化膜21を食刻して接触窓を形成する工程と、
ランプアップ法を用いてポリシリコン膜を被着した後、
パターンニングしてポリシリコンパターンを形成する工程と、
基板全面にかけてエミッタエリアを形成するためのイオン注入工程と、
イオン注入された不純物を同時に拡散させてベースエリア及びエミッタエリアを形成する工程と、
酸化膜29とBPSG (Boro-Phospho-Silicate Glas 20
s) 膜とを形成する工程と、
前記BPSG膜と酸化膜29、21とを写真食刻にて順次食刻して金属接触口を形成する工程と、
金属膜を塗布しパターンニングして金属電極パターンを形成する工程と、
を含むことを特徴とするポリシリコンエミッタバイポーラトランジスタの製造方法。

【請求項2】接触窓は単結晶シリコン基板とポリシリコンパターンとを接触させるためのものであることを特徴とする請求項1記載のポリシリコンエミッタバイポーラトランジスタの製造方法。 30

【請求項3】接触窓を形成する工程は、酸化膜21上に感光性物質を全面塗布するステップと、
写真食刻にて感光性物質を食刻して接触窓が形成される部位を露出させるステップと、
酸化膜21を反応性イオンエッチング法にて食刻するステップと、
酸化膜21を食刻するとき生ずる単結晶シリコン基板の損なわれた部分を食刻するステップと、
からなることを特徴とする請求項1または2に記載のポリシリコンエミッタバイポーラトランジスタの製造方法。 40

【請求項4】単結晶シリコン基板の損なわれた部分をプラズマ方式にて食刻することを特徴とする請求項3記載のポリシリコンエミッタバイポーラトランジスタの製造方法。

【請求項5】前記ポリシリコン膜の被着の際、被着チューブにウェハが入り込むときはチューブの温度を400℃程度の低温に保持し、ウェハがチューブに完全に入り込んだ後は徐々に温度を正常的なポリシリコンの被着温 50

2

度にまで高めてポリシリコン膜を被着することを特徴とする請求項1記載のポリシリコンエミッタバイポーラトランジスタの製造方法。

【請求項6】前記ポリシリコンパターンがエミッタエリアの拡散ソースになることを特徴とする請求項1記載のポリシリコンエミッタバイポーラトランジスタの製造方法。

【請求項7】単結晶Si基板上に埋没層とエピタキシャル層で取り囲まれたコレクタエリアとしてのNウェルとを備え、ベースエリア形成用のP型不純物が注入されたウェハとする工程と、

前記ウェハ全面に酸化膜を形成する工程と、
前記ベースエリア上の所定の酸化膜を反応性イオンエッチング法によりエッチングしてエミッタエリア接触のための接触窓を形成する工程と、

接触窓を通じて露出された単結晶Si基板をプラズマエッチング法によりエッチングする工程と、

前記ウェハにポリシリコンをチューブ内にて被着する際、チューブ温度を、チューブ内にウェハが入り込むときは300℃～450℃に保持し、ウェハが完全に入り込んだ後に正常的なポリシリコン形成温度に上昇させて、ウェハ全面にポリシリコンを被着する工程と、
を含むことを特徴とするポリシリコンエミッタバイポーラトランジスタの製造方法。

【請求項8】前記ポリシリコン被着工程に続いてポリシリコン膜をパターンニングしてエミッタ接触用ポリシリコンパターンを形成する工程と、

エミッタ接触用ポリシリコンパターンにエミッタエリア形成用のN型不純物をイオン注入する工程と、

イオン注入された前記P型及びN型不純物を拡散させて、ベースエリアとエミッタエリアとを形成する工程と、
をもさらに含むことを特徴とする請求項7記載のポリシリコンエミッタバイポーラトランジスタの製造方法。

【請求項9】前記エミッタ接触用ポリシリコンパターンに注入されたN型不純物がエミッタエリアの拡散ソースになることを特徴とする請求項8記載のポリシリコンエミッタバイポーラトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は低いエミッタ抵抗をもつポリシリコンエミッタバイポーラトランジスタの製造方法に関し、詳しくは、ポリシリコンエミッタ形成の際、発生する高い抵抗値を減少させる方法に関する。

【0002】

【従来技術・課題】ポリシリコン（多結晶Si）エミッタは、高能力及び高速バイポーラトランジスタばかりではなく、Bi-CMOS（バイポーラ-CMOS）素子にも広く用いられる。ポリシリコンエミッタ構造を有するバイポーラトランジスタを製造する場合、先ず単結晶

シリコン基板と電極に用いられるポリシリコン膜とが接続されるように単結晶シリコン基板上に形成されている酸化膜を除去し、次いでポリシリコン膜を蒸着等の気相析着法により形成する。

【 0 0 0 3 】しかしながら、ポリシリコンエミッタを製造するために酸化膜を除去しポリシリコン膜を形成する場合、酸化膜の除去による問題点及びポリシリコン膜の形成による問題点が生ずる。

【 0 0 0 4 】先ず、単結晶シリコン基板に存在する酸化膜を除去することにより生ずる問題点を説明する。酸化膜を除去するために、酸化膜を反応イオンエッチング法にて食刻すると、酸化膜の直下にある単結晶シリコン基板の表面（通常ベースエリアとなるべき部位）が損なわれエミッタ抵抗値が増加し、動作速度及びトランスコンダクタンスが低下するという問題点があった。

【 0 0 0 5 】次に、酸化膜を除去した後、ポリシリコン膜を形成する際に生ずる問題点を考察する。ポリシリコン膜を被着させる方法には、通常的方法をもって蒸着させる方法、或いは、ランプアップ被着法（Ramp-up deposition）を用いて蒸着させる方法がある。次に、この二つの方法について説明する。

【 0 0 0 6 】（ 1 ）通常的方法

この方法は、600ないし650℃特に通常が多結晶Si形成温度である625℃の高温のチューブにウェハを入り込ませて蒸着させるものであるが、予めチューブを高温状態に保持しておくため、ポリシリコン膜を蒸着させるべくウェハをチューブ内に入り込ませたときから酸化膜が単結晶シリコン基板上に成長し始めてしまう。

【 0 0 0 7 】それゆえ、このような方法は先工程において酸化膜を除去したにもかかわらず、後工程であるポリシリコン膜の蒸着工程において酸化膜が単結晶シリコン基板上に再度成長してしまうため、単結晶シリコン基板とポリシリコン膜との間に酸化膜が存在し、この酸化膜がポリシリコン膜と単結晶シリコン基板との間の接触障害をもたらす。また、ポリシリコン膜と単結晶シリコンの境界面から成長する酸化膜によりエミッタ抵抗が増加し、速度の低下、トランスコンダクタンスの低下などトランジスタの特性が低下する。

【 0 0 0 8 】他方、こうした再生成酸化膜を除去するために、別途900℃以上の高温の熱処理工程、例えば拡散チューブ（Diffusion tube）を用いた熱処理、あるいは急速熱的アニーリング（Rapid thermal annealing）などが行なわれてきた。

【 0 0 0 9 】しかしながら、拡散チューブを用いた熱処理工程においては、長時間の高温工程による熱エネルギーによって素子の性能が低下し、また、急速熱的アニーリングにおいては、短時間の工程であり素子に及ぶ熱エネルギーは少ないが、工程上の均一性及び生産性が悪いという問題点があった。

【 0 0 1 0 】（ 2 ）ランプアップ被着法

この方法はポリシリコン膜を形成する他の方法であって、最近では前記通常的方法における酸化膜の再成長の問題を回避するため、主にこのランプアップ被着法が用いられている。ランプアップ被着法とは、ポリシリコン拡散チューブにウェハを入り込ませるときはチューブの温度を常温に保持しておき、ウェハがチューブ内に完全に入り込んだときには、600ないし650℃の高温に高めて、単結晶シリコンを被着する方法である。

【 0 0 1 1 】しかしながら、ランプアップ被着法においては、ウェハ毎にチューブ温度を常温から高温に高めるための時間が必要になるので、量産性の問題が台頭してきた。

【 0 0 1 2 】

【課題を解決するための手段】本発明はこのような点に鑑みてなされたものであり、ポリシリコン膜を被着する前、単結晶シリコン基板上に存在する酸化膜を反応性イオンエッチング法にてエッチングする際に損なわれた単結晶シリコン基板を、プラズマ方式にて乾式食刻してエミッタ抵抗を減少させることができるバイポーラトランジスタの製造方法を提供する。また、その後のポリシリコン膜の形成において、ウェハをチューブ内に入り込ませるときは、チューブを約400℃の比較的低温に保持しておき、チューブ内に完全に入り込んだときは、ポリシリコン膜の形成温度（600度以上、特に625℃）までチューブ温度を上昇させてポリシリコン膜を被着することにより、酸化膜の成長を抑制し、それによってエミッタ抵抗を減少させることができるバイポーラトランジスタの製造方法を提供する。

【 0 0 1 3 】即ち、本発明のポリシリコンエミッタバイポーラトランジスタの製造方法は、シリコン基板上にN+埋没層とN型エピタキシャル層とを形成する工程と、エピタキシャル層上にN型不純物をイオン注入してバイポーラトランジスタが形成されるコレクタエリアとなるN型ウェルを形成する工程と、酸化によりフィールド酸化膜を形成する工程と、コレクタエリア内にN+拡散層を形成する工程と、P型不純物をイオン注入してベースエリア形成用のイオン注入エリアを形成する工程と、酸化膜を形成する工程と、前記酸化膜を食刻して接触窓を形成する工程と、ランプアップ法を用いてポリシリコン膜を被着した後、パターニングしてポリシリコンパターンを形成する工程と、基板全面にかけてエミッタエリアを形成するためのイオン注入工程と、イオン注入された不純物を同時に拡散させてベースエリア及びエミッタエリアを形成する工程と、酸化膜とBPSG（Boro-Phospho-Silicate Glass）膜とを形成する工程と、前記BPSG膜と酸化膜とを写真食刻にて順次食刻して金属接触口を形成する工程と、金属膜を被着しパターニングして金属電極パターンを形成する工程と、からなることを特徴とする。

【 0 0 1 4 】さらに、本発明の単結晶シリコン基板とポ

リシリコンパターンとを接触させるためのものである接触窓の形成工程は、酸化膜上に感光性物質を全面塗布するステップと、写真食刻にて感光性物質を食刻して接触窓が形成される部位を露出させるステップと、酸化膜を反応性イオンエッチング法にて食刻するステップと、酸化膜を食刻するとき損なわれた単結晶シリコン基板をプラズマ方式にて食刻するステップと、からなることを特徴とする。

【0015】さらに、本発明の前記ポリシリコン膜を形成する方法は、ウェハが被着形成用チューブに入り込むときはチューブを400℃程度の低温に保持し、ウェハが完全にチューブ内に入り込んだときは、温度を定常的なポリシリコンの形成温度にまで徐々に上げることを特徴とする。

【0016】特に、本発明のポリシリコンエミッタバイポーラトランジスタの製造方法は、単結晶Si基板上に埋没層とエピタキシャル層で取り囲まれたコレクタエリアとしてのNウェルとを備え、ベースエリア形成用のP型不純物が注入されたウェハとする工程と、前記ウェハ全面に酸化膜を形成する工程と、前記ベースエリア上の所定の酸化膜を反応性イオンエッチング法によりエッチングしてエミッタエリア接触のための接触窓を形成する工程と、接触窓を通じて露出された単結晶Si基板をプラズマエッチング法によりエッチングする工程と、前記ウェハにポリシリコンをチューブ内にて被着する際、チューブ温度を、チューブ内にウェハが入り込むときは300℃～450℃に保持し、ウェハが完全に入り込んだ後に正常的なポリシリコン形成温度に上昇させて、ウェハ全面にポリシリコンを被着する工程と、を含むことを特徴とする。

【0017】反応性イオンエッチング法によって酸化膜をエッチングして接触窓を形成することにより、接触窓に残存する可能性がある感光性物質を完全に除去でき、接触抵抗を低減できる。一方、この反応性イオンエッチング法によるエッチングによって単結晶シリコン基板は損なわれるが、その後行われるプラズマエッチング法は反応性イオンエッチング法に比べて装置内で要求されるバイアスが小さく、より少ない損傷を誘発しながらエッチングすることができ、滑らかな凹凸の殆んどない面に回復させることができる。又、その後の多結晶Siの形成については、チューブにウェハが入り込むときのチューブ温度を多結晶Si形成温度よりは低温の300～450℃特に400℃程度に設定したので、酸化膜の再成長率が極めて低く、しかも多結晶Si形成温度に短時間で上昇できるため、量産性及び歩留まりが著しく高められる。

【0018】

【実施例】以下、図面を参照してこの発明の実施例を説明する。

【0019】図1ないし図14は、本発明の低いエミッタ

抵抗をもつポリシリコンエミッタバイポーラトランジスタの製造工程を示すものである。

【0020】図1は、埋没層を形成する工程を示すものである。比抵抗が $5\Omega\text{cm}$ であり(100)の結晶面を有する出発物質であるP型シリコン基板1上に、1次酸化膜2及び窒化膜3を順次形成し、N+埋没層を形成するための写真食刻工程を行なう。すなわち、前記1次酸化膜3上に感光物質(フォトリソ)を塗布した後、写真食刻工程を行ない、イオン注入用開口部4を形成する。その次に、前記開口部4を通じてN型不純物であるAsを1乃至 $5\times 10^{15}\text{ions/cm}^2$ 程度イオン注入してN+埋没層を形成するためのイオン注入エリア5'を形成し、感光物質を除去する。

【0021】図2においては、通常の熱処理により注入イオンを拡散させてN+埋没層5を形成し1次酸化膜2及び窒化膜3を除去した後、約 $1.5\mu\text{m}$ 程度の厚さを有するエピタキシャル層6を基板全面に成長させる。そして、エピタキシャル層6上に2次酸化膜7及び窒化膜8を全面形成し、感光性物質を塗布した後、写真食刻工程にて2次窒化膜8及び酸化膜7を食刻してコレクタエリアを形成するためのイオン注入用開口部9を形成する。

【0022】N型不純物であるリンPイオンを1ないし $3\times 10^{17}\text{ions/cm}^2$ 程度に開口部9を通じてイオン注入して、図3のようにバイポーラトランジスタが形成されるエリアであるN型ウェル10を形成した後、感光物質を除去する。開口部9の形成のために塗布された感光物質を除去した後、フィールド酸化膜を形成するために3次酸化膜11及び窒化膜12を形成する。

【0023】図4は、フィールド酸化膜を形成して活性素子のエリアを分離させる工程を示す。感光性物質13を3次窒化膜12上に塗布した後、写真食刻工程を行ないフィールド酸化膜が形成される部位の窒化膜12を食刻する。

【0024】図5においては、前記感光性物質13を除去した後、通常の熱酸化によりフィールド酸化膜14を形成し、3次窒化膜12を除去する。

【0025】図6は、コレクタエリア10内にN+拡散層を形成するための工程を示す。感光性物質15を再び塗布し、写真食刻してイオン注入用開口部16を形成する。この開口部16を通じてコレクタエリア10にリンPイオン3乃至 $5\times 10^{15}\text{ions/cm}^2$ 程度にイオン注入して、N+拡散層17を形成し、感光性物質15を除去する。N+拡散層17はコレクタ抵抗を減少させるために形成したものである。

【0026】図7は、ベースエリアを形成するための工程を示す。感光性物質18を塗布し、写真食刻して開口部19を形成した後、ホウ素Bイオンを1ないし $3\times 10^{17}\text{ions/cm}^2$ 程度に注入してイオン注入エリア20を形成し、感光性物質18を除去する。

【0027】図8及び図9は、単結晶シリコン基板(イ

オン注入エリア 2 0) と後工程にて形成されるポリシリコン膜を接触させるための接触窓形成工程を示す。

【0028】図 8 においては、基板上に酸化膜 2 1 を形成し、その上に感光性物質 2 2 を全面塗布して写真食刻工程にて感光性物質 2 2 を食刻して接触窓が形成される部位を露出させる。

【0029】図 9 においては、接触窓が形成される部位の酸化膜 2 1 を反応性イオンエッチング法にて食刻して接触窓 2 3 を形成する。こうして酸化膜 2 1 が食刻されるとき、露出した単結晶シリコン基板（イオン注入エリ 10 ア 2 0) は損なわれることになる。符号 2 4 は、前記酸化膜 2 1 が食刻されるとき単結晶シリコン基板（イオン注入エリア 2 0) の損なわれた部分を示す。尚、反応性イオンエッチング法 (R I E) の具体的条件は、①ガス：ガス 1 (C F₄) 5 5 S C C M、ガス 2 (O₂) 4 5 S C C M、②圧力：4 5 0 m T o r r、③R F パワー：1 0 0 W、④時間：2 0 秒とした。

【0030】図 1 0 は、エミッタ接続用ポリシリコン膜を形成する工程を示す。接触口 2 3 において損なわれた単結晶シリコン層 2 4 をプラズマ方式にて食刻して損な 2 0 われていないきれいな部分（損傷を回復させた部分）2 5 を露出させ、感光性物質 2 2 を除去する。尚、プラズマエッチングの具体的条件は、①ガス：ガス 1 (C H F₃) 1 3 3 S C C M、ガス 2 (O₂) 1 5 S C C M、②圧力：5 2 m T o r r、③D C パワー：5 9 0 V とした。

【0031】次に、ポリシリコン膜 2 6 を基板全面に形成する場合、ウェハが被着用チューブに入り込むときはチューブ温度を 4 0 0 度に保持し、チューブ内にウェハが完全に入り込んだ後は、1 0 °C / 分の速度で温度を高めて定常的なポリシリコンの被着温度 6 2 5 °C にまで上 3 0 げてポリシリコン膜 2 6 を形成する。この場合、6 2 5 °C まで上昇させるのに約 2 2 分 3 0 秒要した。尚、一般的なランプアップ法即ち常温（～2 7 °C）から同様に 1 0 °C / 秒で 6 2 5 °C まで上昇させた場合に比べて、約 4 0 分程度短縮された。

【0032】図 1 1 においては、ポリシリコン膜 2 6 を写真食刻してポリシリコン膜をパターンニングすることにより、ポリシリコンパターン 2 6' を形成する。ポリシリコンパターン 2 6' を形成した後、エミッタソースになる砒素 A s イオンを 1 及至 2×10^{14} i o n s / c m² 程度で全面にかけてイオン注入する。 4 0

【0033】図 1 2 においては、図 7 及び図 1 1 の工程でイオン注入された不純物を同時に拡散させてベースエリア 2 7 及びエミッタエリア 2 8 を形成する。

【0034】図 1 3 においては、酸化膜 2 9 及び B P S G 膜 3 0 を形成して感光性物質を塗布した後、写真食刻工程にて B P S G 膜 3 0 及び酸化膜 2 9、2 1 を順次食刻して金属接触口 3 1 を形成する。

【0035】感光性物質を除去した後、図 1 4 に示すように、金属膜を塗布しパターンニングして金属電極パター 5 0

ン 3 2 を形成することにより、本発明の低い抵抗をもつポリシリコンエミッタバイポーラトランジスタが得られる。

【0036】

【発明の効果】本発明によれば、エミッタ形成のための単結晶シリコン基板とポリシリコン膜とを接触させるために酸化膜を除去するとき損なわれる単結晶シリコン膜をプラズマエッチングにて乾式食刻（ドライエッチング）することにより、その損傷を回復してエミッタ抵抗値が上がることを防止して、動作速度及びトランスコンダクタンスなどの特性を向上させることができる。

【0037】さらに、ポリシリコン膜を形成する際、ウェハが被着用チューブに入り込むときはチューブの温度を低温 3 0 0 °C ～ 4 5 0 °C に保持し、ウェハが完全にチューブ内に入り込んだ時はポリシリコン膜の形成温度（6 0 0 °C 以上）まで上げてポリシリコン膜を形成することにより、酸化膜の再成長を抑制して低いエミッタ抵抗値をもつポリシリコンエミッタバイポーラトランジスタを製造することができ、しかも工程時間を短縮させて量産性を著しく向上させることができる。

【図面の簡単な説明】

【図 1】本発明の低いエミッタ抵抗をもつバイポーラトランジスタの製造工程図。

【図 2】本発明の低いエミッタ抵抗をもつバイポーラトランジスタの製造工程図。

【図 3】本発明の低いエミッタ抵抗をもつバイポーラトランジスタの製造工程図。

【図 4】本発明の低いエミッタ抵抗をもつバイポーラトランジスタの製造工程図。

【図 5】本発明の低いエミッタ抵抗をもつバイポーラトランジスタの製造工程図。

【図 6】本発明の低いエミッタ抵抗をもつバイポーラトランジスタの製造工程図。

【図 7】本発明の低いエミッタ抵抗をもつバイポーラトランジスタの製造工程図。

【図 8】本発明の低いエミッタ抵抗をもつバイポーラトランジスタの製造工程図。

【図 9】本発明の低いエミッタ抵抗をもつバイポーラトランジスタの製造工程図。

【図 1 0】本発明の低いエミッタ抵抗をもつバイポーラトランジスタの製造工程図。

【図 1 1】本発明の低いエミッタ抵抗をもつバイポーラトランジスタの製造工程図。

【図 1 2】本発明の低いエミッタ抵抗をもつバイポーラトランジスタの製造工程図。

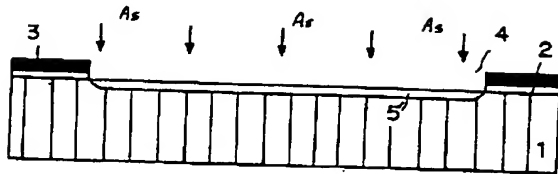
【図 1 3】本発明の低いエミッタ抵抗をもつバイポーラトランジスタの製造工程図。

【図 1 4】本発明の低いエミッタ抵抗をもつバイポーラトランジスタの製造工程図。

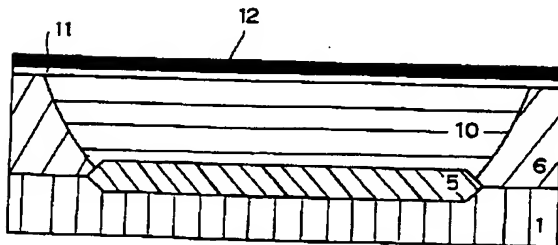
【符号の説明】

- 1…単結晶シリコン基板
 2、7、11、21、29…酸化膜
 3、8、12…窒化膜
 4、9、16、19…開口部
 5…埋没層
 5'、20…イオン注入エリア
 6…エピタキシャル層
 10…コレクタエリア
 14…フィールド酸化膜
 17…N+拡散層

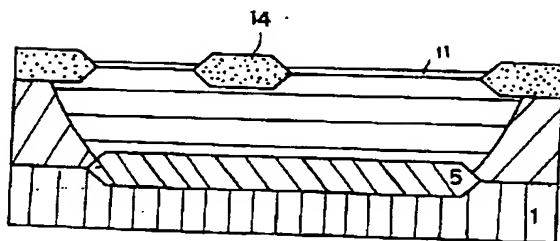
【図 1】



【図 3】

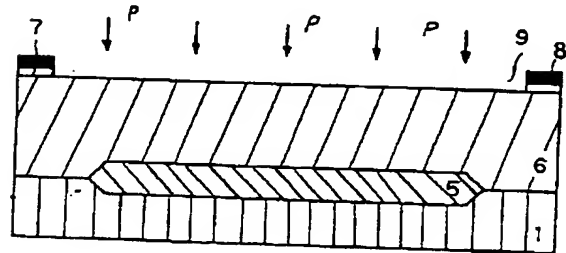


【図 5】

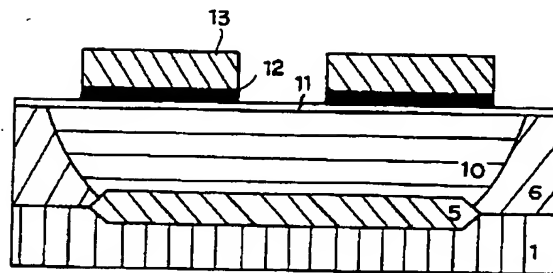


- 13、15、18、22…感光性物質
 23…接触窓
 24…単結晶シリコン基板の損なわれた部分
 25…損傷を回復させた部分
 26…ポリシリコン膜
 27…ベースエリア
 28…エミッタエリア
 30…BPSG膜
 32…金属接触窓
 33…金属電極

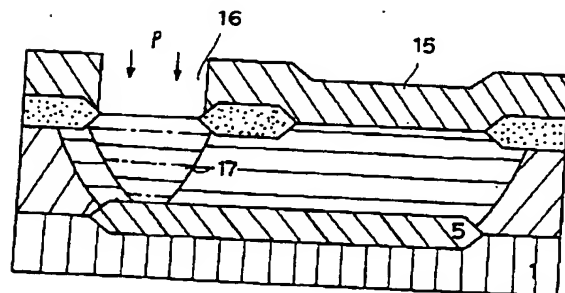
【図 2】



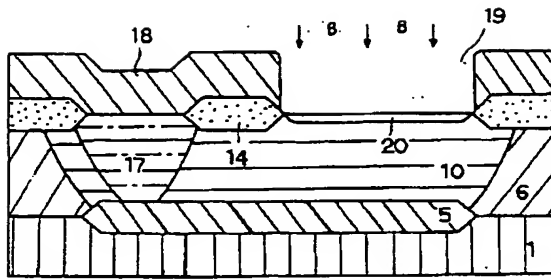
【図 4】



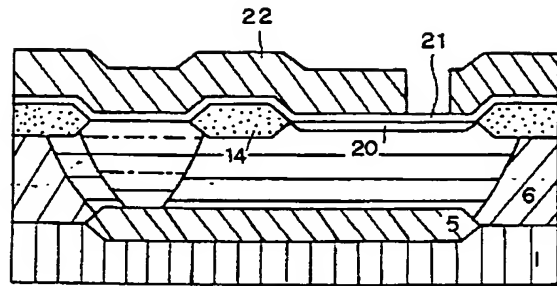
【図 6】



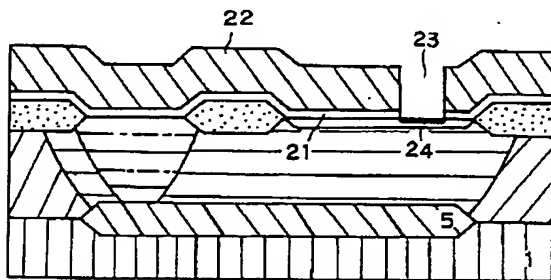
【図 7】



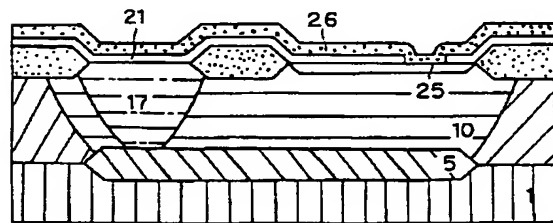
【図 8】



【図 9】



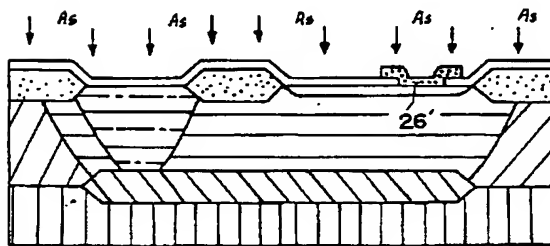
【図 10】



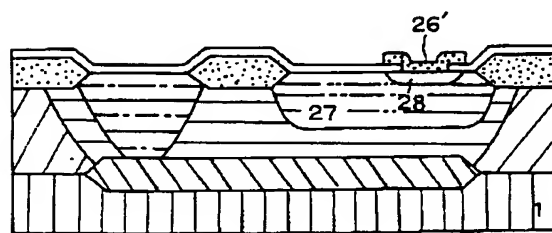
- 1... 単結晶シリコン基板
- 5... 埋込層
- 10... コレクタエリア
- 17... N + 拡散層
- 21... 酸化膜
- 22... 感光性物質
- 23... 接触窓
- 24... 損なわれた部分

- 1... 単結晶シリコン基板
- 5... 埋込層
- 10... コレクタエリア
- 17... N + 拡散層
- 21... 酸化膜
- 25... 損傷を回復させた部分
- 26... ポリシリコン膜

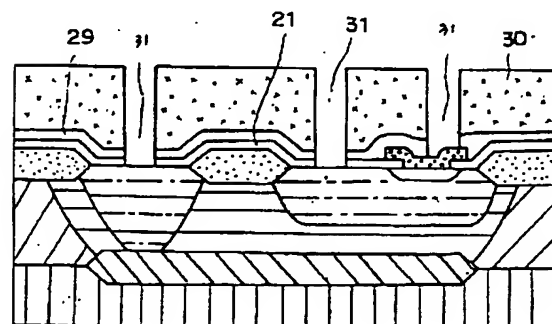
【図 11】



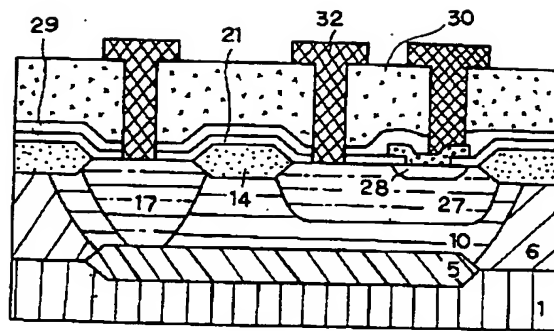
【図 12】



【図 13】



【図 1 4】



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The process which forms a flaking layer and an N type epitaxial layer on a silicon substrate, The process which forms the N type well which the ion implantation of the N type impurity is carried out, and a bipolar transistor is formed on an epitaxial layer, and serves as collector area, The process which forms field oxide by oxidation, and the process which forms N+ diffusion layer in collector area, The process which carries out the ion implantation of the P type impurity, and forms the ion-implantation area for base area formation, The process which forms an oxide film 21, and the process which etches said oxide film 21 and forms a contact aperture, The process which carries out patterning and forms a polysilicon party turn after putting the polish recon film using the lamp rising method, Like ion grouting for applying all over a substrate and forming emitter area The process which coincidence is made to diffuse the impurity by which the ion implantation was carried out, and forms base area and emitter area, The process which forms an oxide film 29 and the BPSG (Boro-Phospho-Silicate Glass) film, The manufacture approach of the polish recon emitter bipolar transistor characterized by including the process which carries out sequential etching of said BPSG film and oxide films 29 and 21 in a photolithography, and forms metallic contact opening, and the process which applies and carries out patterning of the metal membrane, and forms a metal-electrode pattern.

[Claim 2] A contact aperture is the manufacture approach of the polish recon emitter bipolar transistor according to claim 1 characterized by being for contacting a single crystal silicon substrate and a polysilicon party turn.

[Claim 3] The step at which the process which forms a contact aperture applies the photosensitive matter completely on an oxide film 21, The step to which the part in which is etched in the photosensitive matter in a photolithography and a contact aperture is formed is exposed, The step which etches the step which etches an oxide film 21 by the reactive-ion-etching method, and the part by which the single crystal silicon substrate produced when etching an oxide film 21 was harmed, since -- the manufacture approach of the polish recon emitter bipolar transistor according to claim 1 or 2 characterized by becoming.

[Claim 4] The manufacture approach of the polish recon emitter bipolar transistor according to claim 3 characterized by etching the part by which the single crystal silicon substrate was harmed by the plasma method.

[Claim 5] It is the manufacture approach of the polish recon emitter bipolar transistor according to claim 1 characterized by raising temperature even to the covering temperature of normal polish recon gradually, and putting the polish recon film after it holds the temperature of a tube at about 400-degree C low temperature and a wafer enters into a tube completely, when a wafer enters into a covering tube in the case of covering of said polish recon film.

[Claim 6] The manufacture approach of the polish recon emitter bipolar transistor according to claim 1 characterized by said polysilicon party turn becoming the diffusion source of emitter area.

[Claim 7] The process used as the wafer with which it had N well as collector area surrounded

by the flaking layer and the epitaxial layer, and the P type impurity for base area formation was poured in on the single crystal Si substrate, Said process which forms an oxide film all over a wafer, and the process which etches the predetermined oxide film on said base area by the reactive-ion-etching method, and forms the contact aperture for emitter area contact, The process which etches the single crystal Si substrate exposed through the contact aperture by the plasma-etching method, In case polish recon is put on said wafer within a tube, tube temperature The process which normal polish recon formation temperature is raised after it holds at 300 degrees C - 450 degrees C and a wafer enters completely, when a wafer enters in a tube, and puts polish recon all over a wafer, ***** -- the manufacture approach of the polish recon emitter bipolar transistor characterized by things.

[Claim 8] The process which carries out pattern NINGU of the polish recon film following said polish recon covering process, and forms the polysilicon party turn for emitter contact, The process which carries out the ion implantation of the N type impurity for emitter area formation to the polysilicon party turn for emitter contact, The manufacture approach of the polish recon emitter bipolar transistor according to claim 7 characterized by including further the process which is made to diffuse said P type and the N type impurity by which the ion implantation was carried out, and forms base area and emitter area.

[Claim 9] The manufacture approach of the polish recon emitter bipolar transistor according to claim 8 characterized by the N type impurity poured into said polysilicon party turn for emitter contact becoming the diffusion source of emitter area.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the approach of decreasing the high resistance to generate, in detail about the manufacture approach of a polish recon emitter bipolar transistor with low emitter resistance in the case of polish recon emitter formation.

[0002]

[The conventional technique and a technical problem] A polish recon (polycrystal Si) emitter is widely used not only for high capacity and a high-speed bipolar transistor but for a Bi-CMOS (bipolar CMOS) component. When manufacturing the bipolar transistor which has polish recon emitter structure, the oxide film currently formed on the single crystal silicon substrate is removed so that a single crystal silicon substrate and the polish recon film used for an electrode may be connected first, and, subsequently the polish recon film is formed by ***** arrival methods, such as vacuum evaporatio.

[0003] However, in order to manufacture a polish recon emitter, when removing an oxide film and forming the polish recon film, the trouble by removal of an oxide film and the trouble by formation of the polish recon film arise.

[0004] First, the trouble produced by removing the oxide film which exists in a single crystal silicon substrate is explained. In order to remove an oxide film, the front face (part which should usually serve as base area) of the single crystal silicon substrate which is directly under an oxide film when it etches by the reaction ion etching method was harmed, emitter resistance increased the oxide film, and there was a trouble that a working speed and a transconductance fell.

[0005] Next, after removing an oxide film, the trouble produced in case the polish recon film is formed is considered. There is the approach of making it usually vapor-deposit with the target approach or the approach of making it vapor-deposit using the lamp rise covering method (Ramp-up deposition) as approach on which the polish recon film is made to put. Next, these two approaches are explained.

[0006] (1) Usually, to [when a wafer is made to enter in a tube in order to make the polish recon film vapor-deposit in order to hold the tube in the elevated-temperature condition beforehand, although a wafer is made to enter into a 625 degrees C / whose target approach this gentleman methods are 600 thru/or polycrystal Si formation temperature especially usual / 650 degrees C / hot tube and it is made to vapor-deposit] an oxide film will begin to grow on a single crystal silicon substrate.

[0007] So, although such an approach removed the oxide film in the point process, in order that an oxide film may grow again on a single crystal silicon substrate in the vacuum evaporatio process of the polish recon film which is a back process, an oxide film exists between a single crystal silicon substrate and the polish recon film, and this oxide film brings about the contact failure between the polish recon film and a single crystal silicon substrate. Moreover, emitter resistance increases with the polish recon film and the oxide film which grows from the

interface of single crystal silicon, and the property of transistors, such as a fall of a rate and a fall of a transconductance, falls.

[0008] On the other hand, in order to remove such a regeneration oxide film, heat treatment which used separately, hot heat treatment process (Diffusion tube), for example, diffusion tube, 900 degrees C or more, or rapid thermal annealing (Rapid thermal annealing) has been performed.

[0009] However, in the heat treatment process using a diffusion tube, the engine performance of a component fell with the heat energy by the elevated-temperature process of long duration, and in rapid thermal annealing, although there was little heat energy which is a short-time process and attains to a component, there was a trouble that the homogeneity on a process and productivity were bad.

[0010] (2) The lamp rise covering method this gentleman methods are other approaches of forming the polish recon film, and recently, in order to avoid said problem of re-growth of an oxide film [in / usually / the target approach], this lamp rise covering method is mainly used. The lamp rise covering method is the approach of holding the temperature of a tube in ordinary temperature, when making a wafer enter into a polish recon diffusion tube, raising to 600 thru/or a 650-degree C elevated temperature, when a wafer enters completely in a tube, and putting single crystal silicon.

[0011] However, in the lamp rise covering method, since the time amount for raising tube temperature to an elevated temperature from ordinary temperature for every wafer is needed, the problem of mass-production nature has gained power.

[0012]

[Means for Solving the Problem] Before this invention is made in view of such a point and puts the polish recon film, it offers the manufacture approach of a bipolar transistor that dry etching of the single crystal silicon substrate harmed when etching the oxide film which exists on a single crystal silicon substrate by the reactive-ion-etching method can be carried out by the plasma method, and emitter resistance can be decreased. Moreover, in formation of the subsequent polish recon film, when making a wafer enter in a tube A tube about 400 degrees C when it holds at low temperature comparatively and enters completely in a tube By raising tube temperature to the formation temperature (600 degrees or more, especially 625 degrees C) of the polish recon film, and putting the polish recon film, growth of an oxide film is controlled and the manufacture approach of a bipolar transistor that emitter resistance can be decreased by it is offered.

[0013] Namely, the manufacture approach of the polish recon emitter bipolar transistor of this invention The process which forms N+ flaking layer and an N type epitaxial layer on a silicon substrate, The process which forms the N type well used as the collector area where the ion implantation of the N type impurity is carried out, and a bipolar transistor is formed on an epitaxial layer, The process which forms field oxide by oxidation, and the process which forms N+ diffusion layer in collector area, The process which carries out the ion implantation of the P type impurity, and forms the ion-implantation area for base area formation, The process which forms an oxide film, and the process which etches said oxide film and forms a contact aperture, The process which carries out patterning and forms a polysilicon party turn after putting the polish recon film using the lamp rising method, Like ion grouting for applying all over a substrate and forming emitter area The process which coincidence is made to diffuse the impurity by which the ion implantation was carried out, and forms base area and emitter area, The process which forms an oxide film and the BPSG (Boro-Phospho-Silicate Glass) film, the process which carries out sequential etching of said BPSG film and oxide film in a photolithography, and forms metallic contact opening, and the process which puts and carries out patterning of the metal membrane, and forms a metal-electrode pattern -- since -- it is characterized by becoming.

[0014] Furthermore, the formation process of the contact aperture for contacting the single crystal silicon substrate of this invention, and a polysilicon party turn which it is The step which

applies the photosensitive matter completely on an oxide film, and the step to which the part where the photosensitive matter is etched in a photolithography and a contact aperture is formed is exposed, the step which etches an oxide film by the reactive-ion-etching method, and the step which etches the single crystal silicon substrate harmed when etching an oxide film by the plasma method -- since -- it is characterized by becoming.

[0015] Furthermore, the approach of forming said polish recon film of this invention holds a tube at about 400-degree C low temperature, when a wafer enters into the tube for covering formation, and when a wafer enters in a tube completely, it is characterized by raising temperature even to the formation temperature of steady polish recon gradually.

[0016] Especially the manufacture approach of the polish recon emitter bipolar transistor of this invention The process used as the wafer with which it had N well as collector area surrounded by the flaking layer and the epitaxial layer, and the P type impurity for base area formation was poured in on the single crystal Si substrate, Said process which forms an oxide film all over a wafer, and the process which etches the predetermined oxide film on said base area by the reactive-ion-etching method, and forms the contact aperture for emitter area contact, The process which etches the single crystal Si substrate exposed through the contact aperture by the plasma-etching method, In case polish recon is put on said wafer within a tube, tube temperature When a wafer enters in a tube, after it holds at 300 degrees C - 450 degrees C and a wafer enters completely, normal polish recon formation temperature is raised, and it is characterized by including the process which puts polish recon all over a wafer.

[0017] By etching an oxide film and forming a contact aperture by the reactive-ion-etching method, the photosensitive matter which may remain in the contact aperture can be removed completely, and contact resistance can be reduced. On the other hand, although a single crystal silicon substrate is harmed by etching by this reactive-ion-etching method, the plasma-etching method performed after that can be etched, while the bias demanded within equipment compared with a reactive-ion-etching method is small and induces fewer damage, and the field which is smooth irregularity and which is not ***** can be made to recover it. Moreover, about formation of the subsequent polycrystal Si, in tube temperature in case a wafer enters, the re-growth rate of an oxide film is very low, and rather than polycrystal Si formation temperature, since especially 300-450 degrees C were set as about 400 degrees C, since [of low temperature] it can moreover go up to polycrystal Si formation temperature in a short time, mass-production nature and the yield are remarkably raised to a tube.

[0018]

[Example] Hereafter, the example of this invention is explained with reference to a drawing.

[0019] Drawing 1 thru/or drawing 14 show the production process of a polish recon EMITTABAIPORAN transistor with the low emitter resistance of this invention.

[0020] Drawing 1 shows the process which forms a flaking layer. A photolithography process for specific resistance to carry out sequential formation of the primary oxide film 2 and the nitride 3, and form N+ flaking layer on the P type silicon substrate 1 which is the starting material which has the crystal face of being 5-ohmcm (100), is performed. That is, after applying the actinolite (photoresist) on said primary nitride 3, a photolithography process is performed and the ion notes necessary opening 4 is formed. Ion-implantation area 5' for carrying out the ion implantation of the As which is an N type impurity to the degree about two 1 **** 5x10¹⁵ ions/cm through said opening 4, and forming N+ flaking layer in it is formed, and the actinolite is removed.

[0021] In drawing 2 , after diffusing impregnation ion by the usual heat treatment, forming N+ flaking layer 5 and removing the primary oxide film 2 and a nitride 3, the epitaxial layer 6 which has the thickness of about 1.5 micrometers is grown up all over a substrate. And after forming the secondary oxide film 7 and a nitride 8 completely on an epitaxial layer 6 and applying the photosensitive matter, the ion notes necessary opening 9 for etching the secondary nitride 8 and an oxide film 7 at a photolithography process, and forming collector area is formed.

[0022] The ion implantation of the phosphorus P ion which is an N type impurity is carried out to about two $1 \text{ thru/or } 3 \times 10^{12}$ ions/cm through opening 9, and the actinolite is removed after forming the N type well 10 which is the area in which a bipolar transistor is formed like drawing 3. After removing the actinolite applied for formation of opening 9, in order to form field oxide, the 3rd oxide film 11 and a nitride 12 are formed.

[0023] Drawing 4 shows the process into which form field oxide in and an active ingredient child's area is made to divide. After applying the photosensitive matter 13 on the 3rd nitride 12, the nitride 12 of the part in which a photolithography process is performed and field oxide is formed is etched.

[0024] In drawing 5, after removing said photosensitive matter 13, field oxide 14 is formed by the usual thermal oxidation, and the 3rd nitride 12 is removed.

[0025] Drawing 6 shows the process for forming N+ diffusion layer in the collector area 10. The photosensitive matter 15 is applied again, carries out a photolithography, and the ion notes necessary opening 16 is formed. An ion implantation is carried out to about two phosphorus P ion $3 \times 5 \times 10^{15}$ ions/cm through this opening 16 in the collector area 10, the N+ diffusion layer 17 is formed, and the photosensitive matter 15 is removed. The N+ diffusion layer 17 is formed in order to decrease collector resistance.

[0026] Drawing 7 shows the process for forming base area. After applying and carrying out the photolithography of the photosensitive matter 18 and forming opening 19, boron B ion is poured into about two $1 \text{ thru/or } 3 \times 10^{13}$ ions/cm, the ion-implantation area 20 is formed, and the photosensitive matter 18 is removed.

[0027] Drawing 8 and drawing 9 show the contact fenestration process for contacting the polish recon film formed at a single crystal silicon substrate (ion-implantation area 20) and a back process.

[0028] In drawing 8, the part where an oxide film 21 is formed on a substrate, the photosensitive matter 22 is applied completely, the photosensitive matter 22 is etched at a photolithography process, and a contact aperture is formed on it is exposed.

[0029] In drawing 9, the oxide film 21 of the part in which a contact aperture is formed is etched by the reactive-ion-etching method, and the contact aperture 23 is formed. In this way, when an oxide film 21 is etched, the exposed single crystal silicon substrate (ion-implantation area 20) will be harmed. A sign 24 shows the part by which the single crystal silicon substrate (ion-implantation area 20) was harmed, when said oxide film 21 is etched. In addition, the concrete conditions of a reactive-ion-etching method (RIE) were made into ** gas:gas 1 (CF₄) 55SCCM, gas 2 (O₂)45SCCM, ** pressure:450mTorr, **RF power:100W, and ** time amount:20 seconds.

[0030] Drawing 10 shows the process which forms the polish recon film for emitter connection. The beautiful part (part which recovered damage) 25 which is not harmed by etching by the plasma method in the single-crystal-silicon layer 24 harmed in the contact opening 23 is exposed, and the photosensitive matter 22 is removed. In addition, the concrete conditions of plasma etching were set to ** gas:gas 1 (CHF₃)133SCCM, gas 2 (O₂)15SCCM, ** pressure:52mTorr, and **DC power:590V.

[0031] Next, when forming the polish recon film 26 all over a substrate, and a wafer enters into the tube for covering, after it holds tube temperature at 400 degrees and a wafer enters completely in a tube, temperature is raised the rate for 10-degree-C/, it raises to the covering temperature of even 625 degrees C of steady polish recon, and the polish recon film 26 is formed. In this case, it required for making it go up to 625 degrees C for about 22 minutes and 30 seconds. In addition, compared with the case where it is made to go up to 625 degrees C in a second in 10 degrees C /, it was similarly shortened by about 40 minutes from the general lamp rising method (- 27 degrees C), i.e., ordinary temperature.

[0032] In drawing 11, polysilicon party turn 26' is formed by carrying out the photolithography of the polish recon film 26, and carrying out patterning of the polish recon film. After forming

polysilicon party turn 26', an ion implantation is carried out by about two 1×10^{16} ions/cm, arsenic As covering [which becomes the emitter source] it over the whole surface. [0033] In drawing 12 , coincidence is made to diffuse the impurity by which the ion implantation was carried out at the process of drawing 7 and drawing 11 , and the base area 27 and the emitter area 28 are formed.

[0034] In drawing 13 , after forming an oxide film 29 and the BPSG film 30 and applying the photosensitive matter, at a photolithography process, sequential etching of the BPSG film 30 and the oxide films 29 and 21 is carried out, and the metallic contact opening 31 is formed.

[0035] After removing the photosensitive matter, as shown in drawing 14 , a polish recon emitter bipolar transistor with low resistance of this invention is obtained by applying and carrying out patterning of the metal membrane, and forming the metal-electrode pattern 32.

[0036]

[Effect of the Invention] According to this invention, by carrying out dry etching (dry etching) of the single crystal silicone film spoiled when removing an oxide film, in order to contact the single crystal silicon substrate and polish recon film for emitter formation in plasma etching, it can prevent that recover the damage and emitter resistance goes up, and properties, such as a working speed and a transconductance, can be raised.

[0037] Furthermore, in case the polish recon film is formed, when a wafer enters into the tube for covering, the temperature of a tube is held at 300 degrees C - 450 degrees C of low temperature. By raising to the formation temperature (600 degrees C or more) of the polish recon film, and forming the polish recon film, when a wafer enters in a tube completely The polish recon emitter bipolar transistor which controls re-growth of an oxide film and has low emitter resistance can be manufactured, moreover process time amount can be shortened, and mass-production nature can be raised remarkably.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The production process Fig. of a bipolar transistor with the low emitter resistance of this invention.

[Drawing 2] The production process Fig. of a bipolar transistor with the low emitter resistance of this invention.

[Drawing 3] The production process Fig. of a bipolar transistor with the low emitter resistance of this invention.

[Drawing 4] The production process Fig. of a bipolar transistor with the low emitter resistance of this invention.

[Drawing 5] The production process Fig. of a bipolar transistor with the low emitter resistance of this invention.

[Drawing 6] The production process Fig. of a bipolar transistor with the low emitter resistance of this invention.

[Drawing 7] The production process Fig. of a bipolar transistor with the low emitter resistance of this invention.

[Drawing 8] The production process Fig. of a bipolar transistor with the low emitter resistance of this invention.

[Drawing 9] The production process Fig. of a bipolar transistor with the low emitter resistance of this invention.

[Drawing 10] The production process Fig. of a bipolar transistor with the low emitter resistance of this invention.

[Drawing 11] The production process Fig. of a bipolar transistor with the low emitter resistance of this invention.

[Drawing 12] The production process Fig. of a bipolar transistor with the low emitter resistance of this invention.

[Drawing 13] The production process Fig. of a bipolar transistor with the low emitter resistance of this invention.

[Drawing 14] The production process Fig. of a bipolar transistor with the low emitter resistance of this invention.

[Description of Notations]

- 1 -- Single crystal silicon substrate
- 2, 7, 11, 21, 29 -- Oxide film
- 3, 8, 12 -- Nitride
- 4, 9, 16, 19 -- Opening
- 5 -- Flaking layer
- 5', 20 -- Ion-implantation area
- 6 -- Epitaxial layer
- 10 -- Collector area
- 14 -- Field oxide

- 17 -- N+ diffusion layer
- 13, 15, 18, 22 -- Photosensitive matter
- 23 -- Contact aperture
- 24 -- Part by which the single crystal silicon substrate was harmed
- 25 -- Part which recovered damage
- 26 -- Polish recon film
- 27 -- Base area
- 28 -- Emitter area
- 30 -- BPSG film
- 32 -- Metallic contact aperture
- 33 -- Metal electrode

[Translation done.]